

FPGA-GPU 混載プラットフォームにおける HPC アプリケーションとシステム・ソフトウェアの開発

HPC application and system software development on FPGA-GPU combined platform

朴 泰祐

筑波大学計算科学研究センター

1. 研究目的

本研究では、FPGA の持つ潜在能力を HPC システムに最大限適用するため、これを GPU 等の演算加速装置と連携させ双方を相補的に利用し、さらに最新 FPGA の持つ高性能通信機能も含めた統合的な複合演算加速システムを実現する。GPU では十分な演算加速ができないアプリケーションについて、部分的な FPGA オフローディングと、高速並列通信を組み合わせた新しい FPGA の利用方法を実装・評価し、具体的な実アプリケーションを適用することにより、次世代の統合的演算加速並列システムの枠組みを構築しその有効性を実証する。

2. 研究成果の内容

OpenACC 言語のみによる GPU と FPGA の統一的プログラミングを可能とするメタコンパイラを実装し、計算宇宙物理の実アプリケーションである ARGOT (初期天体形成シミュレーション) コードを記述し、本研究で実施した枠組みを用いない場合と同等の性能が達成されることを筑波大学計算科学研究センターの多重複合演算加速スーパーコンピュータ Cygnus で実証した。また、FPGA における高性能計算向け OpenACC コンパイラの開発において、空間並列性を向上させるコード最適化手法について分析し、ユーザレベルで FPGA 回路のパイプライン制御、ループアンローリング制御、カーネル分割の 3 種類の最適化を記述可能とする OpenACC コンパイラのプロトタイプを開発した。過去の我々の研究成果である、GPU 向けの Omni OpenACC コンパイラを改良することで効率的なコンパイラ開発を実現した。単純なループアンローリングを行うと FPGA 上の SRAM の使用量が增大してしまうことに関し、カーネル分割手法を提案・導入することで、性能低下を起こさずにメモリ使用量を抑制できることを確認した。また、複数演算加速デバイス間のスケジューリングとデータ共有を単純化するプログラミング環境として CHARM-SYCL を開発し、米国 Oak Ridge National Laboratory との共同研究により米国 ECP で開発されたベンチマークコードの実施を行った。さらに、高性能計算向け並列 FPGA 環境における FPGA 間通信システムを Ethernet 経由方式と直接リンク方式の両方式で実装した。特に後者に関しては、エラー検出機能を新たに導入し、安定した通信を実現するための予備実

装を行った。

3. 学際共同利用プログラムが果たした役割と意義

本研究課題で行った GPU・FPGA の協業による多重複合演算加速手法は本プログラムで提供された Cygnus システムがなければ実施できなかった。また、FPGA 向け OpenACC コンパイラも Cygnus の Intel FPGA を用いて実装した。FPGA 間通信システムも同様に Cygnus 上で開発された。以上のように、本課題の研究は Cygnus という他に類を見ないシステムを用いて実施することができた。

4. 今後の展望

R06 年度にも本研究を継続課題として実施することになっているが、これは Cygnus の計画運用の最終年度にあたる。さらに、本課題の背景となっている科研費研究課題としても最終年度となるため、GPU・FPGA による多重複合演算加速システム及びアプリケーションを充実させ、一連の研究の集大成としてまとめたい。

5. 成果発表

- (1) 学術論文
- (2) 学会発表
- (3) その他

使用計算機	使用計算機に ○	配分リソース※		
		当初配分	移行*	追加配分
Cygnus	○	10,000		
Pegasus				
Wisteria/BDEC-01				
※配分リソースについてはノード時間積をご記入ください。 *バジェット移行を行った場合、「+2000」「-1000」のように記入				