

様々な浮動小数点回路の性能

評価

Performance Evaluation of Various Floating-point Units

中里直人
会津大学

1. 研究目的

Cygnus システムで採用された FPGA Stratix10 には単精度(IEEE 2008 binary32) 浮動小数点加算・乗算の演算器マクロが搭載されている。一方で、他の演算精度の浮動小数点演算のためには、ALM と DSP を組み合わせることで演算回路を実装する必要がある。本研究では、独自の可変精度浮動小数点演算回路を生成するソフトウェア VeRB を利用し、特に binary128(128 ビット浮動小数点演算) を対象としてできるだけ ALM と DSP の消費量を少なくかつ高性能(200 - 250MHz)を目標として演算回路の最適化をおこない、binary128 での行列乗算の性能評価をおこなう。

2. 研究成果の内容

今年度のプロジェクトでは、VeRB により binary128 演算回路を生成し、行列積の性能評価をおこなった。行列積回路の実装には OpenCL カーネルを利用した。昨年度のプロジェクトでは binary128 の加算と乗算回路を組み合わせ、3 重ループによるシンプルな実装をおこなった。今年度は、シストリックアレイとして演算回路を構成し、性能比較をおこなった。そのため FBLAS (<https://github.com/spcl/FBLAS>)にて公開されているプロジェクトを拡張し、binary128 よるシストリックアレイ型行列乗算回路を開発した。以下に、積和回路を 4x4 に構成した場合と 8x8 に構成した場合の論理合成結果をしめす。

レイアウト	4x4	8x8
Logic utilization	249,218 (27 %)	430,788 (46 %)
ALUTs	203572	424436
Registers	360,235	647,089
DSP blocks	267 (5 %)	1,041 (18 %)
Memory bits	13,779,080 (6 %)	18,720,264 (8 %)
RAM blocks	1,225 (10 %)	1,991 (17 %)
Fmax (MHz)	241.95	235.51

昨年度の結果と比較すると、いずれの場合も必要とするリソースは減少し、動作周波数は向上した。予備的な性能評価によると、シストリックアレイ型のほうが性能向上することがわかった。より詳細な性能評価と検討は今後の課題である。

3. 学際共同利用が果たした役割と意義

binary128 フォーマットに対応した演算処理は、POWER アーキテクチャを除いてハードウェアを搭載した CPU はなく、FPGA による大規模な演算回路の性能評価が必須であり、今回の共同利用により binary128 による行列乗算の性能評価を実施できた。

4. 今後の展望

今後、より詳細な性能評価をおこない、その上で実際のアプリケーションでの評価をすすめる。ファインマンループ積分の性能評価と、Cygnus システムの複数の FPGA を直接接続することでパイプライン回路を実現することは今後の課題となる。

5. 成果発表

使用計算機	使用計算機 に○	配分リソース※	
		当初配分	追加配分
Cygnus	○	3000	
Oakforest-PACS			
※配分リソースについてはノード時間積をご記入ください。			