

FPGA クラスタの通信網およびその応用に関する共同研究

Joint research on a network subsystem and its application for FPGA cluster

佐野 健太郎

理化学研究所 計算科学研究センター

1. 研究目的

Cygnus の Albireo ノードに搭載された Stratix10 FPGA と 100 Gbps の帯域によるその直接網に対し、ハードウェア通信機構とそのためのプログラミング方式を研究開発することを目的とする。また、大部分がハードウェアとして実装される通信機構の低遅延・広帯域・低オーバーヘッドという利点を活かすことが可能なアプリケーションを研究する。以上を通じ、ハードウェア・ソフトウェアによる通信サブシステム、プログラミング方式、アプリケーションを開発し、性能および生産性の点で優れた FPGA 間通信フレームワークを探求する。

2. 研究成果の内容

2019 年 4 月から 2020 年 3 月の間に 10 回の研究打合せを行い、ハードウェア通信機構の設計や必要となる IP コア（ハードウェアコンポーネント）の実装等について、情報共有や討論を行った。特に、高速シリアル通信のための IP コアである SerialLite III (SL3) の利用方法、1D/2D トーラス網のためのオンチップルータコアの設計、ルータに必要となるクロスバの設計、エンドトゥエンドでのフロー制御を実現するためのフローコントローラコアの設計等の情報交換や研究討論を行った。また、通信路におけるエラー率等、代表者が別途研究開発を行っている FPGA クラスタで得られた知見を筑波大学の研究者らと共有することにより、OpenCL から利用可能な FPGA 間通信機構とそのパイプライン通信の評価を含む Cygnus/Albireo の FPGA 間通信機構の設計に資することができた。

3. 学際共同利用が果たした役割と意義

異なる通信網を持つ FPGA クラスタを研究開発する筑波大学と理化学研究所の研究者らが共同研究を行うことにより、未だ標準的な利用手段が確立されていない FPGA クラスタについて課題や研究開発の方向性を確認することができた。これにより、単独で実施する以上に研究を推進することができた。

4. 今後の展望

これまで行ってきたような通信機構の基本コンポーネントに関する情報共有に留まらず、異なる通信網を共通に利用可能とするような仕組みとして、例えば OpenCL に

おける通信の記述方法について、検討および実装と評価を行っていく計画である。

5. 成果発表

(1) 学術論文

[1] Norihisa Fujita, Ryohei Kobayashi, Yoshiki Yamaguchi, Tomohiro Ueno, Kentaro Sano, and Taisuke Boku, "Performance Evaluation of Pipelined Communication Combined with Computation in OpenCL Programming on FPGA," Proceedings of the Tenth International Workshop on Accelerators and Hybrid Exascale Systems (AsHES 2020), 2020. (accepted)

[2] 藤田 典久, 小林 諒平, 山口 佳樹, 上野 知洋, 佐野 健太郎, 朴 泰祐, "スーパーコンピュータ Cygnus 上における FPGA 間パイプライン通信の性能評価," 第 173 回ハイパフォーマンスコンピューティング研究発表会 情報処理学会研究報告, Vol.2020-HPC-173, No.24, pp.1-11, Mar, 2020.

(2) 学会発表

該当なし

(3) その他

該当なし

使用計算機	使用計算機 に○	配分リソース※	
		当初配分	追加配分
Cygnus	○	5000	0
Oakforest-PACS			
※配分リソースについてはノード時間積をご記入ください。			